

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi MIYAJIMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-193464	July 8, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

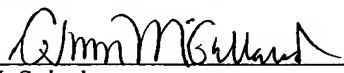
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24913  
C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月 8日  
Date of Application:

出願番号 特願2003-193464  
Application Number:  
[ST. 10/C]: [JP 2003-193464]

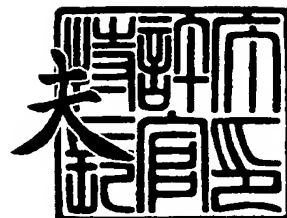
出願人 株式会社ルネサステクノロジ  
Applicant(s):



2003年 7月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3057916

【書類名】 特許願

【整理番号】 543800JP01

【提出日】 平成15年 7月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

【氏名】 宮嶋 幹

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 蓄積電極と、誘電体膜と、プレート電極とを有するキャパシタを備える半導体装置の製造方法であって、

(a) 絶縁膜を形成する工程と、

(b) 前記絶縁膜に、その上面に向って開口する複数の開口部を形成する工程と、

(c) 各前記開口部の表面上と前記絶縁膜の上面上に、金属から成る膜状の電極材料を形成する工程と、

(d) 前記電極材料に対してドライエッチングを実行することによってエッチバックを行い、前記電極材料から成る蓄積電極を各前記開口部内に形成する工程と、

(e) 各前記蓄積電極に対してウェットエッチングを実行する工程と、

(f) 前記工程 (e) の後に、各前記蓄積電極上に誘電体膜を形成する工程と、

(g) 前記誘電体膜上にプレート電極を形成する工程とを備える、半導体装置の製造方法。

【請求項 2】 蓄積電極と、誘電体膜と、プレート電極とを有するキャパシタを備える半導体装置の製造方法であって、

(a) 絶縁膜を形成する工程と、

(b) 前記絶縁膜に、その上面に向って開口する複数の開口部を形成する工程と、

(c) 各前記開口部の表面上と前記絶縁膜の上面上に、金属から成る膜状の電極材料を形成する工程と、

(d) 前記電極材料に対して水素雰囲気中で熱処理を行う工程と、

(e) 前記工程 (d) の後に、前記電極材料に対してドライエッチングを実行することによってエッチバックを行い、前記電極材料から成る蓄積電極を各前記開口部内に形成する工程と、

(f) 各前記蓄積電極上に誘電体膜を形成する工程と、  
(g) 前記誘電体膜上にプレート電極を形成する工程と  
を備える、半導体装置の製造方法。

【請求項3】 蓄積電極と、誘電体膜と、プレート電極とを有するキャパシタを備える半導体装置の製造方法であって、

- (a) 絶縁膜を形成する工程と、  
(b) 前記絶縁膜に、その上面に向って開口する複数の開口部を形成する工程と、  
(c) 各前記開口部の表面上と前記絶縁膜の上面上に、金属から成る膜状の電極材料を形成する工程と、  
(d) 研磨剤を使用して前記電極材料をその上方から研磨し、前記絶縁膜の上面上の前記電極材料を除去して、前記電極材料から成る蓄積電極を各前記開口部内に形成する工程と、  
(e) 前記工程 (d) の実行によって得られた構造に付着する前記研磨剤を除去する工程と、  
(f) 前記工程 (e) の実行によって得られた構造に対して、水素雰囲気中で熱処理を行う工程と、  
(g) 前記工程 (f) の後に、各前記蓄積電極上に誘電体膜を形成する工程と、  
(h) 前記誘電体膜上にプレート電極を形成する工程と  
を備える、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、キャパシタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置の高集積化にともない半導体チップの寸法が縮小され、半導体メモリが有するキャパシタの蓄積電極（「ストレージノード」とも呼ばれる）の寸法

及び間隔が小さくなってきている。このような半導体チップの寸法が小さい半導体メモリの開発においては、キャパシタ容量の増大は必要である。そのため、電極材料としてルテニウム（Ru）などの高融点金属材料を採用し、誘電体膜として五酸化タンタルなどの高誘電体膜を採用したMIM（Metal-Insulator-Metal）キャパシタを備える半導体メモリが提案されている。なお、キャパシタを有する半導体装置とその製造方法が特許文献1～5に開示されている。

**【0003】****【特許文献1】**

特開 2002-198498号公報

**【特許文献2】**

特開 2002-124649号公報

**【特許文献3】**

特開 2001-210805号公報

**【特許文献4】**

特開平 8-70106号公報

**【特許文献5】**

特開 2000-58795号公報

**【0004】****【発明が解決しようとする課題】**

ところで、上述のようなMIMキャパシタを製造する際、使用する製造方法によっては、キャパシタのリーク電流が増大することがある。

**【0005】**

そこで、本発明は上述の問題に鑑みて成されたものであり、キャパシタのリーク電流を低減することが可能な技術を提供することを目的とする。

**【0006】****【課題を解決するための手段】**

この発明の第1の半導体装置の製造方法は、蓄積電極と、誘電体膜と、プレート電極とを有するキャパシタを備える半導体装置の製造方法であって、（a）絶

縁膜を形成する工程と、(b) 前記絶縁膜に、その上面に向って開口する複数の開口部を形成する工程と、(c) 各前記開口部の表面上と前記絶縁膜の上面上に、金属から成る膜状の電極材料を形成する工程と、(d) 前記電極材料に対してドライエッチングを実行することによってエッチバックを行い、前記電極材料から成る蓄積電極を各前記開口部内に形成する工程と、(e) 各前記蓄積電極に対してウェットエッチングを実行する工程と、(f) 前記工程(e)の後に、各前記蓄積電極上に誘電体膜を形成する工程と、(g) 前記誘電体膜上にプレート電極を形成する工程とを備える。

#### 【0007】

また、この発明の第2の半導体装置の製造方法は、蓄積電極と、誘電体膜と、プレート電極とを有するキャパシタを備える半導体装置の製造方法であって、(a) 絶縁膜を形成する工程と、(b) 前記絶縁膜に、その上面に向って開口する複数の開口部を形成する工程と、(c) 各前記開口部の表面上と前記絶縁膜の上面上に、金属から成る膜状の電極材料を形成する工程と、(d) 前記電極材料に対して水素雰囲気中で熱処理を行う工程と、(e) 前記工程(d)の後に、前記電極材料に対してドライエッチングを実行することによってエッチバックを行い、前記電極材料から成る蓄積電極を各前記開口部内に形成する工程と、(f) 各前記蓄積電極上に誘電体膜を形成する工程と、(g) 前記誘電体膜上にプレート電極を形成する工程とを備える。

#### 【0008】

また、この発明の第3の半導体装置の製造方法は、蓄積電極と、誘電体膜と、プレート電極とを有するキャパシタを備える半導体装置の製造方法であって、(a) 絶縁膜を形成する工程と、(b) 前記絶縁膜に、その上面に向って開口する複数の開口部を形成する工程と、(c) 各前記開口部の表面上と前記絶縁膜の上面上に、金属から成る膜状の電極材料を形成する工程と、(d) 研磨剤を使用して前記電極材料をその上方から研磨し、前記絶縁膜の上面上の前記電極材料を除去して、前記電極材料から成る蓄積電極を各前記開口部内に形成する工程と、(e) 前記工程(d)の実行によって得られた構造に付着する前記研磨剤を除去する工程と、(f) 前記工程(e)の実行によって得られた構造に対して、水素雰



囲気中で熱処理を行う工程と、(g) 前記工程 (f) の後に、各前記蓄積電極上に誘電体膜を形成する工程と、(h) 前記誘電体膜上にプレート電極を形成する工程とを備える。

#### 【0009】

##### 【発明の実施の形態】

##### 実施の形態 1.

図 1～6 は本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態 1 に係る半導体装置は、メモリセルのキャパシタとして例えば MIM キャパシタを有する DRAM を備えている。以下に、図 1～6 を参照して本実施の形態 1 に係る半導体装置の製造方法について説明する。

#### 【0010】

図 1 に示されるように、DRAM メモリセルの MOS トランジスタが複数形成された半導体基板 (図示せず) を設けて、その上方に層間絶縁膜 1 を設ける。そして、各 MOS トランジスタのソース・ドレイン領域の一方と電氣的に接続されるコンタクトプラグ 2 を層間絶縁膜 1 の内部に形成する。層間絶縁膜 1 は例えば膜厚 450 nm の BPTEOS 膜であって、コンタクトプラグ 2 は例えば窒化チタン膜とタンゲステン膜とから成る積層膜である。

#### 【0011】

コンタクトプラグ 2 を形成する際、まず所定の開口パターンを有するレジスト (図示せず) を層間絶縁膜 1 上に形成する。そして、かかるレジストをマスクに用いて層間絶縁膜 1 をエッチングし、層間絶縁膜 1 内にその膜厚方向に貫通するコンタクトホール (図示せず) を複数形成する。そして、CVD 法を用いて窒化チタン膜を全面に形成し、その後、各コンタクトホールを充填するタンゲステン膜を CVD 法を用いて全面に形成する。次に、コンタクトホールよりも上方の窒化チタン膜及びタンゲステン膜を CMP 法を用いて除去する。これにより、窒化チタン膜及びタンゲステン膜から成り、その上面が層間絶縁膜 1 から露出するコンタクトプラグ 2 が層間絶縁膜 1 内に複数形成される。

#### 【0012】

次に、シリコン窒化膜 3 及び BPTEOS 膜 4 をこの順で全面に形成する。シ

リコン窒化膜 3 の膜厚は例えば 50 nm であり、BPTEOS 膜 4 の膜厚は例えば 1200 nm である。これにより、層間絶縁膜 1、シリコン窒化膜 3 及び BPTEOS 膜 4 から成る絶縁膜 5 が完成し、かかる絶縁膜 5 内に複数のコンタクトプラグ 2 が設けられる。

#### 【0013】

次に、所定の開口パターンを有するレジスト（図示せず）を絶縁膜 5 上に形成する。そして、かかるレジストをマスクに用いて、シリコン窒化膜 3 をエッチングストップとして、絶縁膜 5 の BPTEOS 膜 4 に対してドライエッチングを実行し、シリコン窒化膜 3 を部分的に露出させる。そして、レジストを再度マスクに用いて、露出したシリコン窒化膜 3 をドライエッチングにて除去する。これにより、図 2 に示されるように、絶縁膜 5 にその上面に向かって開口する開口部 6 が複数形成され、かかる開口部 6 によってコンタクトプラグ 2 の上面が露出される。なお開口部 6 は、シリコン窒化膜 3 及び BPTEOS 膜 4 をそれらの膜厚方向に貫通している。

#### 【0014】

次にスパッタ法を用いて、例えば膜厚 20 nm の金属層（図示せず）を全面に形成する。この金属層は例えばルテニウムからなる。そして図 3 に示されるように、金属層をシード層として用いた減圧 CVD 法を酸素雰囲気中で実行し、後の工程で DRAM キャパシタの蓄積電極となる膜状の電極材料 17 を全面に形成する。これにより、開口部 6 の表面上と、絶縁膜 5 の表面上とに電極材料 17 が形成される。電極材料 17 は例えばルテニウムから成り、その厚さは例えば 20 ~ 50 nm である。また、ここでの減圧 CVD 法では、処理温度が 400 °C で、固体ソースとして Ru(CP)<sub>2</sub> が使用される。

#### 【0015】

このような減圧 CVD 法で電極材料 17 を形成すると、ルテニウムから成る電極材料 17 はアモルファス状態となる。そのため、電極材料 17 を構成するルテニウムのグレインは小さい。従って、電極材料 17 の表面には、酸化ルテニウム (RuO<sub>2</sub>) から成る微小な酸化膜（図示せず）がまばらに形成される。

#### 【0016】

次に、各開口部 6 内をレジスト（図示せず）で充填する。そして、かかるレジストをマスクに用いて、絶縁膜 5 の膜厚方向にエッチングレートが高い異方性ドライエッチングを、電極材料 17 に対してその上方から実行して開口部 6 よりも上方の電極材料 17 を除去する。これにより、電極材料 17 に対してエッチバックが行われ、図 4 に示されるように、電極材料 17 から成る、DRAM キャパシタの蓄積電極 7 が各開口部 6 内に形成される。そして、開口部 6 内のレジストを除去する。

#### 【0017】

蓄積電極 7 を形成する際の上述のドライエッチングでは、エッチングガスとして、塩素（Cl）及び酸素（O<sub>2</sub>）の混合ガスが用いられる。上述のように、電極材料 17 の表面には微小な酸化膜がまばらに形成されているため、電極材料 17 を上記混合ガスを用いてドライエッチングする際には、この酸化膜がマスクとして作用して、電極材料 17 へのエッチングが部分的に進行しにくくなる。更に、上述のドライエッチング時には、電極材料 17 はその表面が酸化されながらエッチングされるため、ドライエッチング時にも電極材料 17 の表面に微小な酸化膜がまばらに形成される。従って、図 4 に示されるように、エッチバック後に得られる蓄積電極 7 の上端部には針状突起 7a が形成される。この状態で DRAM キャパシタの誘電体膜を蓄積電極 7 上に形成すると、かかる誘電体膜の膜厚が均一とならず、結果的にキャパシタのリーク電流の増加を招く。そこで、本実施の形態 1 では、蓄積電極 7 に対してウェットエッチングを行って針状突起を除去する。以下にこの工程について具体的に説明する。

#### 【0018】

図 4 に示される構造に対して、その上方からマスクを使用せずに、過ヨウ素酸または硝酸セリウムアンモニウム液を用いてウェットエッチングを実行する。エッチング液として過ヨウ素酸または硝酸セリウムアンモニウム液を用いることによって、ルテニウムだけではなく、蓄積電極 7 の表面上に形成されている酸化膜もエッチングすることができるため、蓄積電極 7 の表面の全面がエッチングされる。このとき、蓄積電極 7 は、例えばその表面からその厚さ方向に向って約 10 nm 除去される。この結果、図 5 に示されるように、蓄積電極 7 の上端部に形成

されていた針状突起 7a が除去されて、蓄積電極 7 の上端面が丸くなる。従って、この後に形成される DRAM キャパシタの誘電体膜の膜厚を均一にし易くなり、キャパシタのリーク電流の低減が可能となる。

#### 【0019】

次に図 6 に示されるように、DRAM キャパシタの誘電体膜 8 を蓄積電極 7 上に形成し、その後、DRAM キャパシタのプレート電極 9 を誘電体膜 8 上に形成する。このとき、プレート電極 9 によって各開口部 6 が充填される。誘電体膜 8 は、例えば五酸化タンタル ( $\text{Ta}_2\text{O}_5$ ) から成る膜厚 15 nm の絶縁膜を蓄積電極 7 上に形成し、その後 150℃ の酸素雰囲気中にかかる絶縁膜を酸化して結晶化することによって形成される。また、プレート電極 9 は例えばルテニウムから成る。

#### 【0020】

以上の工程により、ルテニウムから成る蓄積電極 7 と、五酸化タンタルから成る誘電体膜 8 と、ルテニウムから成るプレート電極 9 とを有する MIM キャパシタ 10 が完成する。

#### 【0021】

その後、全面に BPTEOS 膜 (図示せず) を形成し、その上にアルミ配線 (図示せず) を形成する。最後に、全面にパッシベーション膜 (図示せず) を形成することによって、MIM キャパシタ 10 を有する DRAM メモリセルを備える半導体装置が完成する。

#### 【0022】

このように本実施の形態 1 に係る半導体装置の製造方法では、蓄積電極 7 に対してウェットエッチングを行っているため、本実施の形態 1 のように、電極材料 17 に対するドライエッチングの実行によって蓄積電極 7 に針状突起 7a が生じた場合であっても、かかるウェットエッチングによってその針状突起 7a を除去することが可能となる。従って、蓄積電極 7 上に誘電体膜 8 を均一に形成し易くなり、MIM キャパシタ 10 のリーク電流を低減することができる。

#### 【0023】

また、蓄積電極 7 の表面の全面に対してウェットエッチングを行っているため

、ウェットエッチングを行わない場合と比べて、蓄積電極 7 形成後の開口部 6 のアスペクト比が小さくなる。従って、誘電体膜 8 及びプレート電極 9 を形成する際の段差被覆性が向上し、開口部 6 の底にも確実に誘電体膜 8 及びプレート電極 9 を形成することができる。従って、MIM キャパシタ 10 のリーク電流を低減することができる。

#### 【0024】

実施の形態 2.

図 7～9 は本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。以下に、図 7～9 を参照して本実施の形態 2 に係る半導体装置の製造方法について説明する。

#### 【0025】

まず、上述の実施の形態 1 に係る半導体装置の製造方法を用いて、図 3 に示される構造を得る。次に、図 3 に示される構造に対して水素雰囲気中で熱処理を行う。例えば、温度 700℃ で 30 秒間、熱処理を行う。水素雰囲気中で熱処理を行うと、電極材料 17 の表面上に形成されていた微小な酸化膜が水素で還元されて除去され、電極材料 17 を構成するルテニウムにマイグレーションが生じる。その結果、図 7 に示されるように、BPTEOS 膜 4 の上面上の電極材料 17 と、BPTEOS 膜 4 の内側面上の電極材料 17 との境界部分に形成される角部 37 の先が丸くなる。更に、この水素雰囲気中での熱処理により電極材料 17 を構成するルテニウムのグレインが大きくなる。

#### 【0026】

次に、各開口部 6 内をレジスト（図示せず）で充填する。そして、かかるレジストをマスクに用いて、絶縁膜 5 の膜厚方向にエッチングレートが高い異方性ドライエッチングを、電極材料 17 に対してその上方から実行し、開口部 6 よりも上方の電極材料 17 を除去する。これにより、電極材料 17 に対してエッチバックが行われて、図 8 に示されるように、蓄積電極 7 が各開口部 6 内に形成される。そして、開口部 6 内のレジストを除去する。

#### 【0027】

蓄積電極 7 を形成する際のドライエッチングでは、実施の形態 1 と同様に、エ

エッチングガスとして塩素及び酸素の混合ガスが用いられる。ここで、電極材料 17 に対するドライエッチング時には、上述の水素雰囲気中での熱処理により、電極材料 17 の表面に形成されていた酸化膜が還元されて除去されている。更に、電極材料 17 を構成するルテニウムのグレインが大きくなっているため、ドライエッチング時に、電極材料 17 の表面に酸化膜が形成されにくくなる。従って、電極材料 17 をほぼ均一にエッチングすることができ、蓄積電極 7 の上端面に針状突起 7a が形成されることを抑制することができる。

#### 【0028】

また、電極材料 17 に対する水素雰囲気中での熱処理により、電極材料 17 の角部 37 の先が丸くなっているため、上述のドライエッチングの実行後には、蓄積電極 7 における上端面と露出している側面との境界部分に形成される角部 47 の先が丸くなる。

#### 【0029】

次に図 9 に示されるように、実施の形態 1 と同様にして、誘電体膜 8 及びプレート電極 9 を蓄積電極 7 上に順次形成し、MIM キャパシタ 10 が完成する。その後、実施の形態 1 と同様にして、図示しない、BPTEOS 膜、アルミ配線及びパッシベーション膜を順次形成し、MIM キャパシタ 10 を有する DRAM メモリセルを備える半導体装置が完成する。

#### 【0030】

このように本実施の形態 2 に係る半導体装置の製造方法では、電極材料 17 に対して水素雰囲気中で熱処理を行っている。そのため、本実施の形態 2 のように、電極材料 17 形成時にその表面に酸化膜が形成された場合であっても、当該酸化膜を水素で還元して除去することができる。更に、電極材料 17 を構成するルテニウムのグレインを大きくすることができるため、電極材料 17 に対するドライエッチング時に、電極材料 17 の表面に酸化膜が形成されにくくなる。従って、電極材料 17 をほぼ均一にエッチングすることができ、蓄積電極 7 の上端面に針状突起 7a が形成されることを抑制することができる。その結果、誘電体膜 8 の膜厚を均一にすることができ、MIM キャパシタ 10 のリーク電流を低減することができる。

## 【0031】

また本実施の形態2では、水素雰囲気中での熱処理によって電極材料17の角部37の先が丸くなるため、絶縁膜5の膜厚方向にエッチングレートが高い異方性ドライエッチングを電極材料17に対して実行することによって、蓄積電極7の角部47の先が丸くなる。本実施の形態2とは異なり、蓄積電極7の角部47の先が尖っていると、角部47には誘電体膜8が付きにくくなり、角部47上の誘電体膜8の厚みが薄くなる。本実施の形態2に係る製造方法では、蓄積電極7の角部47の先が丸くなり、当該角部47に誘電体膜8が付きやすくなるため、角部47上の誘電体膜8の厚みを十分に確保することができる。従って、MIMキャパシタ10のリーク電流を低減できる。

## 【0032】

実施の形態3.

図10～13は本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。以下に図10～13を参照して本実施の形態3に係る半導体装置の製造方法について説明する。

## 【0033】

まず、上述の実施の形態1に係る半導体装置の製造方法を用いて図3に示される構造を得る。そして、CMP法を用いて電極材料17をその上方から研磨して、開口部6よりも上方の電極材料17を除去する。これにより絶縁膜5の上面上の電極材料17が除去されて、図10に示されるように各開口部6内に蓄積電極7が形成される。なお、実施の形態1とは異なり、本実施の形態3ではCMP法を用いて不要な電極材料17を除去しているため、蓄積電極7の上端面には針状突起は形成されない。

## 【0034】

次に、図10に示される構造に対してフッ酸を用いて洗浄を行い、上述のCMP法で使用した研磨剤を除去する。このとき、BPTEOS膜4と蓄積電極7との界面にフッ酸が染み込む。BPTEOS膜4はフッ酸によってエッチングされやすく、蓄積電極7を構成するルテニウムはフッ酸によってエッチングされにくいため、蓄積電極7の上端部との界面付近のBPTEOS膜4がエッチングされ

る。その結果、図 11 に示されるように、BPTEOS 膜 4 と蓄積電極 7 との間に隙間 70 を生じる。この状態で MIM キャパシタ 10 の誘電体膜 8 を形成すると、隙間 70 には誘電体膜 8 が形成されにくいため、隙間 70 内の誘電体膜 8 の膜厚は薄くなり、MIM キャパシタ 10 のリーク電流が増加することがある。そこで、本実施の形態 3 では、図 11 に示される構造に対して水素雰囲気中で熱処理を行うことによって、BPTEOS 膜 4 と蓄積電極 7 との間に形成される隙間 70 を無くして、MIM キャパシタ 10 のリーク電流を低減する。以下にこの工程について具体的に説明する。

#### 【0035】

図 11 に示される構造に対して、例えば温度 700℃ で 30 秒間、水素雰囲気中で熱処理を行う。上述の CMP 法では、電極材料 17 の表面を酸化しながら電極材料 17 の不要な部分を除去するため、蓄積電極 7 の表面上には、酸化ルテニウムから成る微小な酸化膜がまばらに形成される。上述のように水素雰囲気中で熱処理を行うと、かかる酸化膜が水素で還元されて除去され、蓄積電極 7 を構成するルテニウムにマイグレーションが生じる。これにより、図 12 に示されるように、蓄積電極 7 の上端部が外側に傾き、BPTEOS 膜 4 と蓄積電極 7 とが再び密着するようになる。その結果、BPTEOS 膜 4 と蓄積電極 7 との間に隙間 70 が生じなくなる。従って、膜厚が均一な誘電体膜 8 を形成しやすくなり、MIM キャパシタ 10 のリーク電流を低減できる。なお、この水素雰囲気中での熱処理により蓄積電極 7 を構成するルテニウムのグレインが大きくなる。

#### 【0036】

次に図 13 に示されるように、実施の形態 1 と同様にして、誘電体膜 8 及びプレート電極 9 を蓄積電極 7 上に順次形成し、MIM キャパシタ 10 が完成する。その後、実施の形態 1 と同様にして、図示しない、BPTEOS 膜、アルミ配線及びパッシベーション膜を順次形成し、MIM キャパシタ 10 を有する DRAM メモリセルを備える半導体装置が完成する。

#### 【0037】

このように本実施の形態 3 に係る半導体装置の製造方法では、蓄積電極 7 形成後に水素雰囲気中で熱処理を行っているため、本実施の形態 3 のように、蓄積電



極 7 の表面上に形成される酸化膜を還元して除去し、蓄積電極 7 にマイグレーションを生じさせることができる。従って、CMP 法で用いた研磨剤を除去する際に、蓄積電極 7 と BPTEOS 膜 4 との間に隙間 70 が生じた場合であっても、蓄積電極 7 にマイグレーションを生じさせることによって、その形状を変形させて、BPTEOS 膜 4 と蓄積電極 7 とを相互に密着することができる。その結果、上記隙間 70 が無くなり、MIM キャパシタ 10 のリーク電流を低減できる。

#### 【0038】

また、水素雰囲気中での熱処理によって、蓄積電極 7 が BPTEOS 膜 4 に密着する際、蓄積電極 7 の上端部は外側に傾くため、図 12 に示されるように、誘電体膜 8 形成前の開口部 6 の開口面積は大きくなっている。従って、誘電体膜 8 及びプレート電極 9 を均一に形成しやすくなり、MIM キャパシタ 10 のリーク電流を低減できる。

#### 【0039】

##### 【発明の効果】

この発明の第 1 の半導体装置の製造方法によれば、蓄積電極に対してウェットエッチングを行っているため、電極材料に対するドライエッチングの実行によって蓄積電極に針状突起が生じた場合であっても、当該ウェットエッチングによってその針状突起を除去することが可能となる。従って、蓄積電極上に誘電体膜を均一に形成し易くなり、キャパシタのリーク電流を低減することができる。

#### 【0040】

また、この発明の第 2 の半導体装置の製造方法によれば、電極材料に対して水素雰囲気中で熱処理を行っているため、電極材料形成時にその表面に酸化膜が形成された場合であっても、当該酸化膜を水素で還元して除去することができる。更に、電極材料を構成する金属のグレインを大きくすることができるため、電極材料に対するドライエッチング時に、電極材料の表面に酸化膜が形成されにくくなる。従って、電極材料をほぼ均一にエッチングすることができ、蓄積電極の上端面に針状突起が形成されることを抑制することができる。その結果、誘電体膜の膜厚を均一にすることができ、キャパシタのリーク電流を低減することができる。

## 【0041】

また、この発明の第3の半導体装置の製造方法によれば、蓄積電極形成後に水素雰囲気中で熱処理を行っているため、蓄積電極の表面上に形成される酸化膜を還元して除去し、蓄積電極を構成する金属にマイグレーションを生じさせることができる。従って、工程（e）で研磨剤を除去する際に、絶縁膜が部分的に除去されて蓄積電極と絶縁膜との間に隙間ができた場合であっても、蓄積電極にマイグレーションを生じさせることによって蓄積電極を変形させ、絶縁膜と蓄積電極とを相互に密着させることができる。その結果、上記隙間が無くなり、キャパシタのリーク電流を低減できる。

## 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に

示す断面図である。

【図 1 1】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

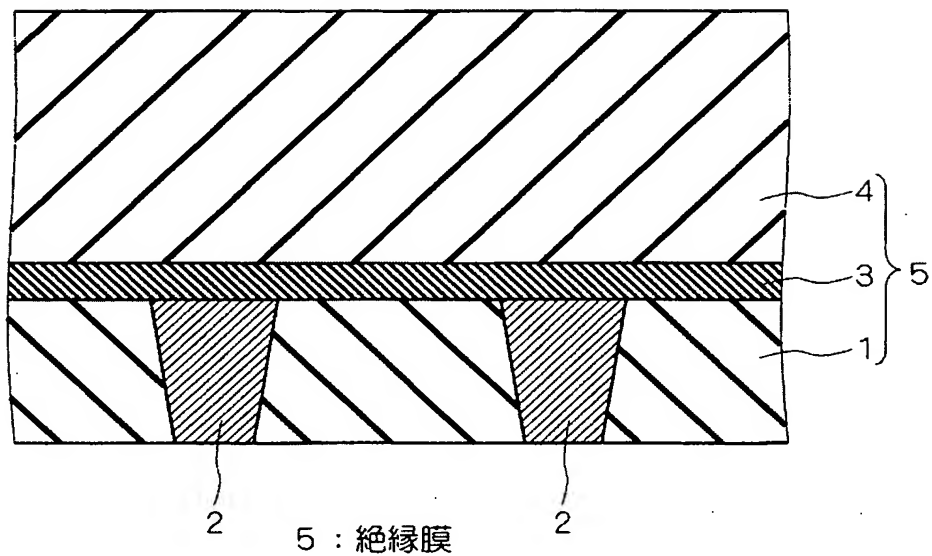
【図 1 3】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

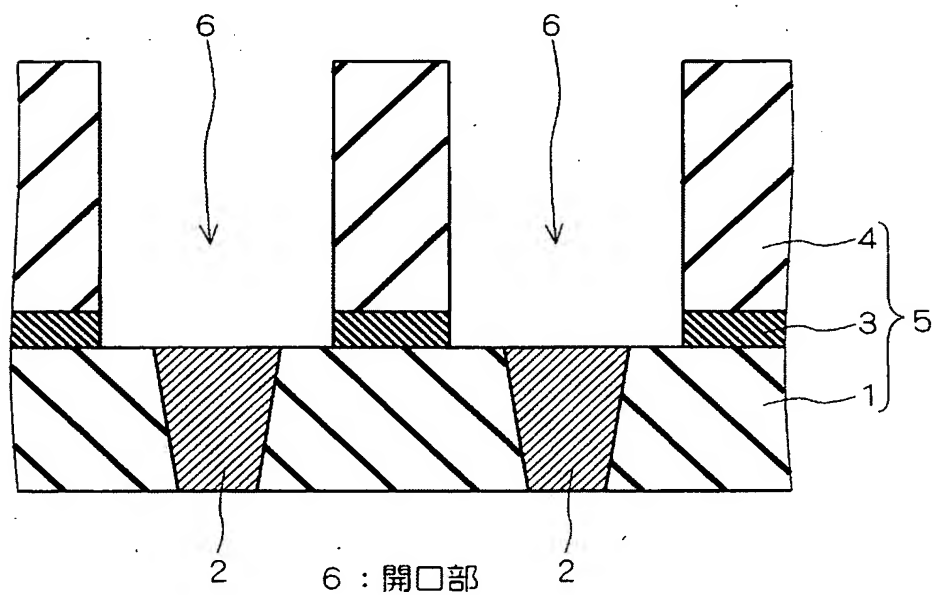
5 絶縁膜、6 開口部、17 電極材料、7 蓄積電極、8 誘電体膜、9 プレート電極、10 MIMキャパシタ。

【書類名】 図面

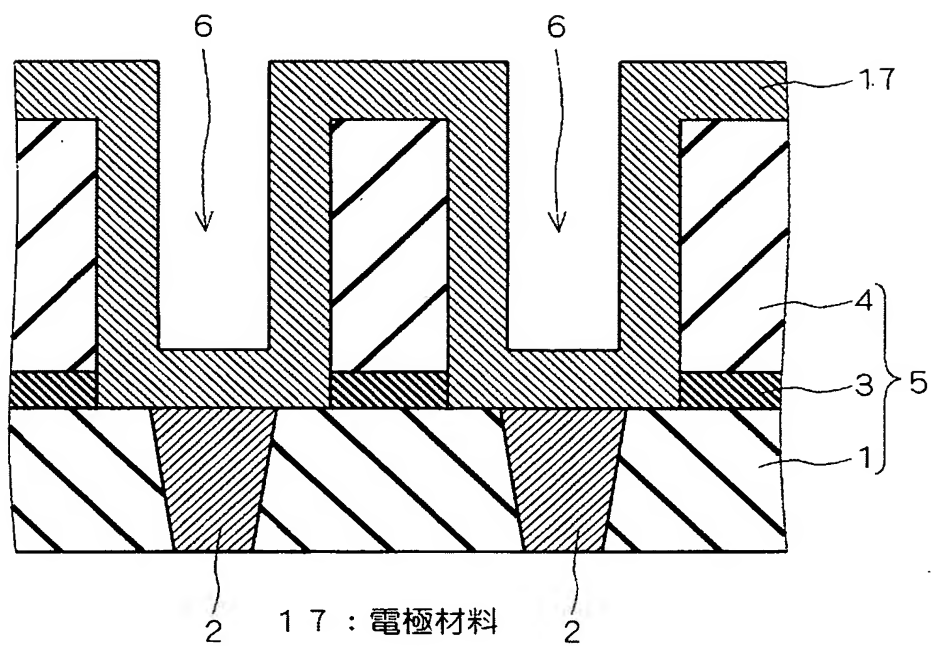
【図 1】



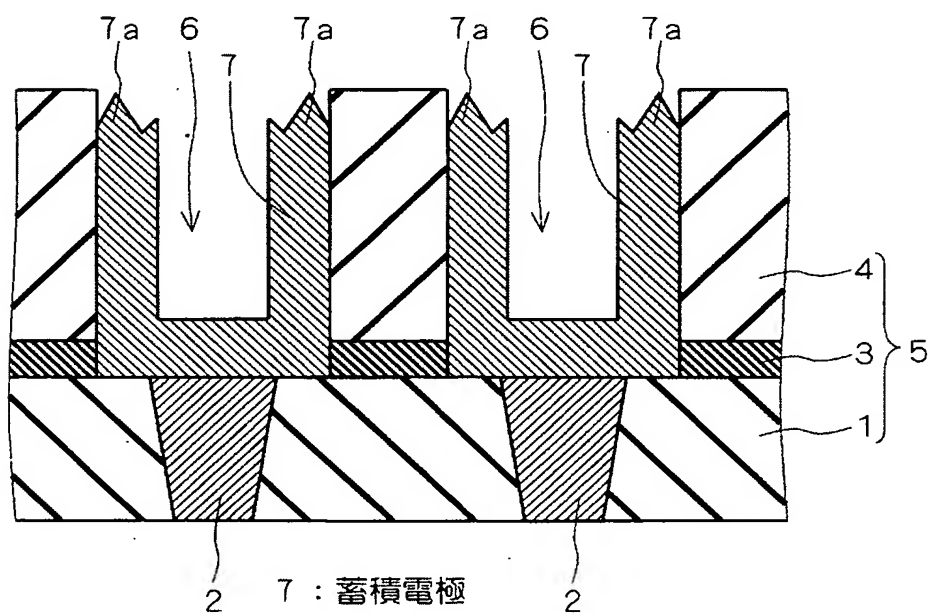
【図 2】



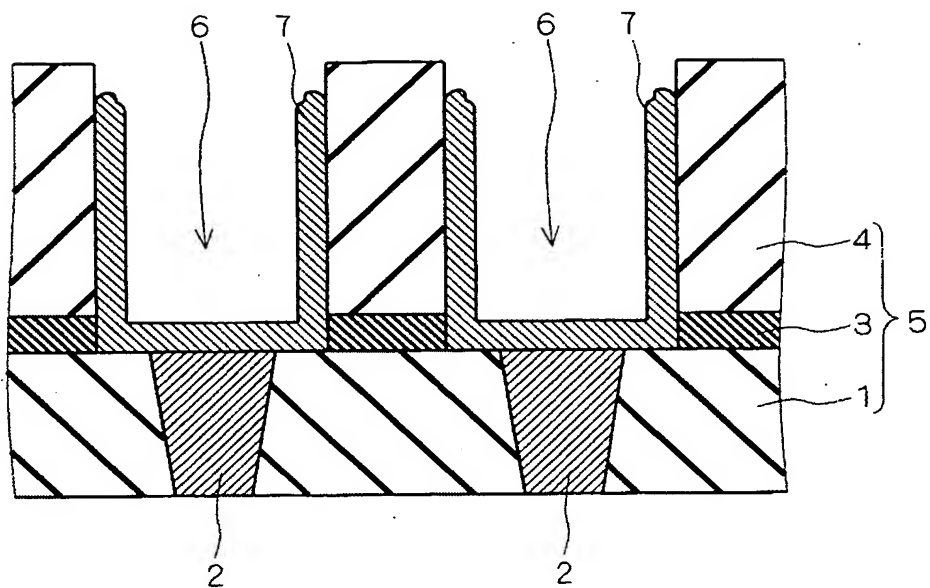
【図 3】



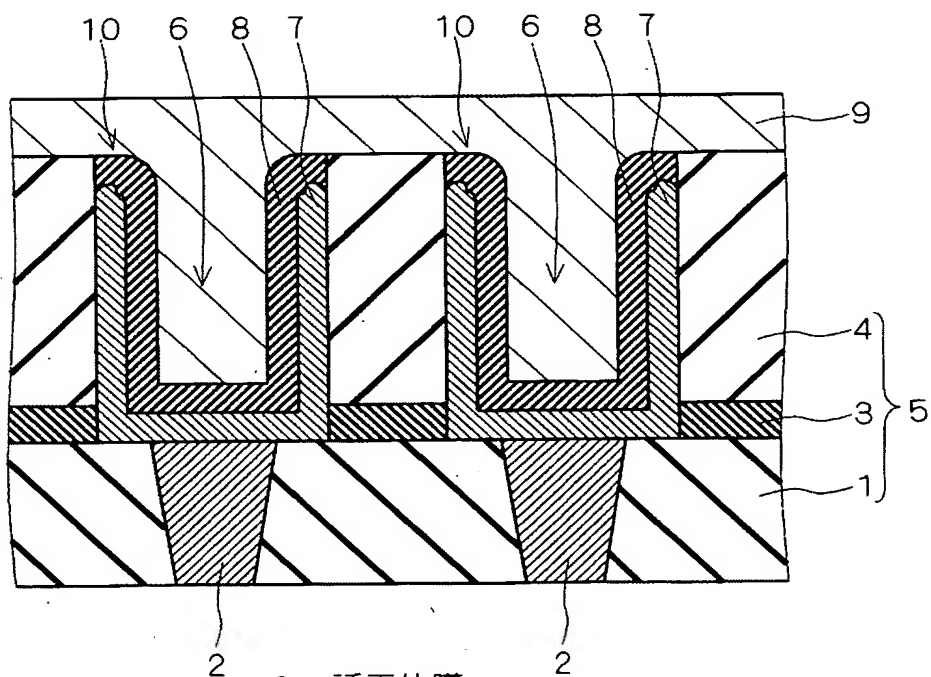
【図 4】



【図5】

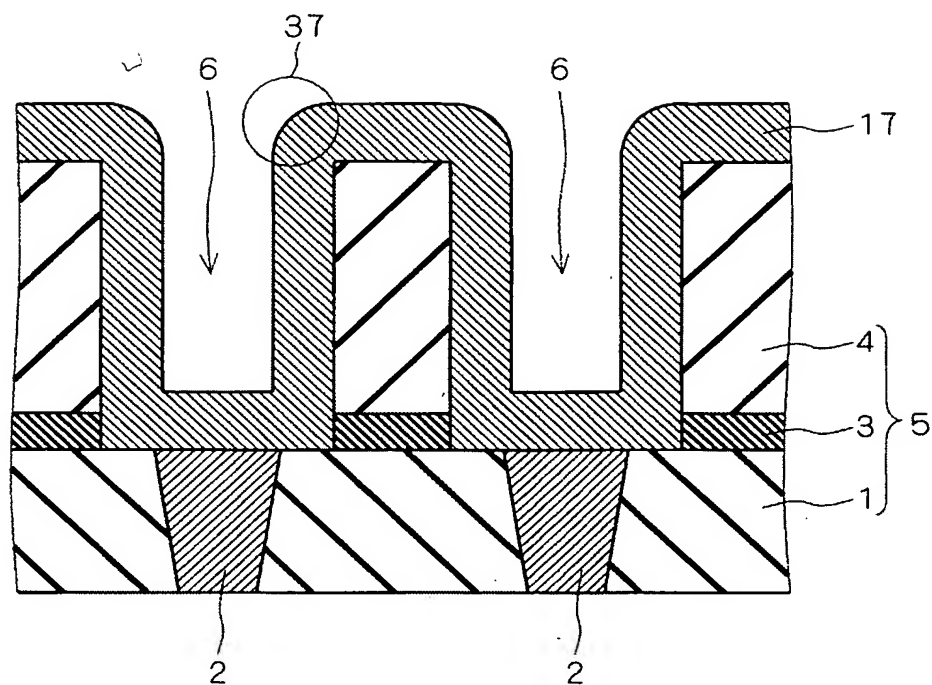


【図6】

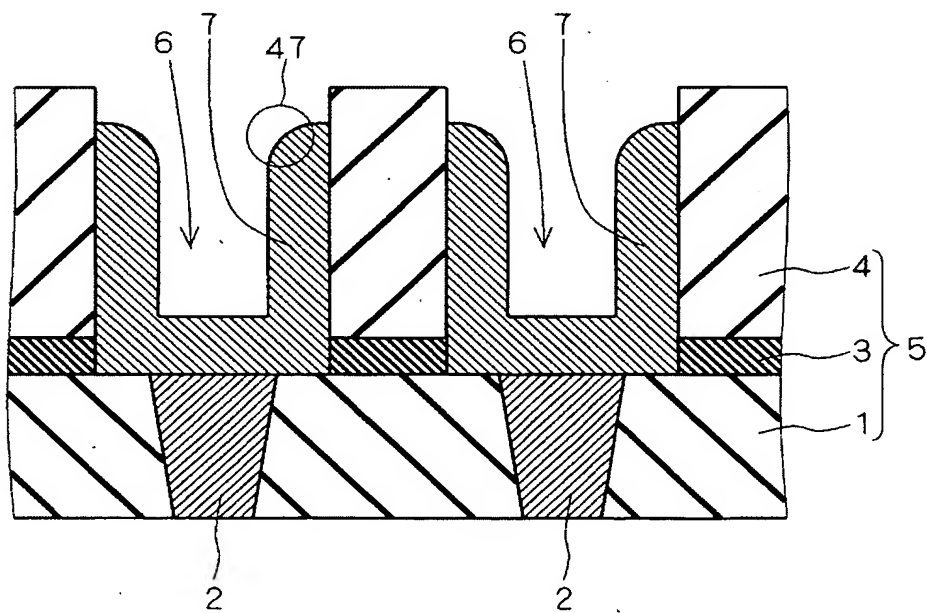


8 : 誘電体膜  
9 : プレート電極  
10 : MIMキャパシタ

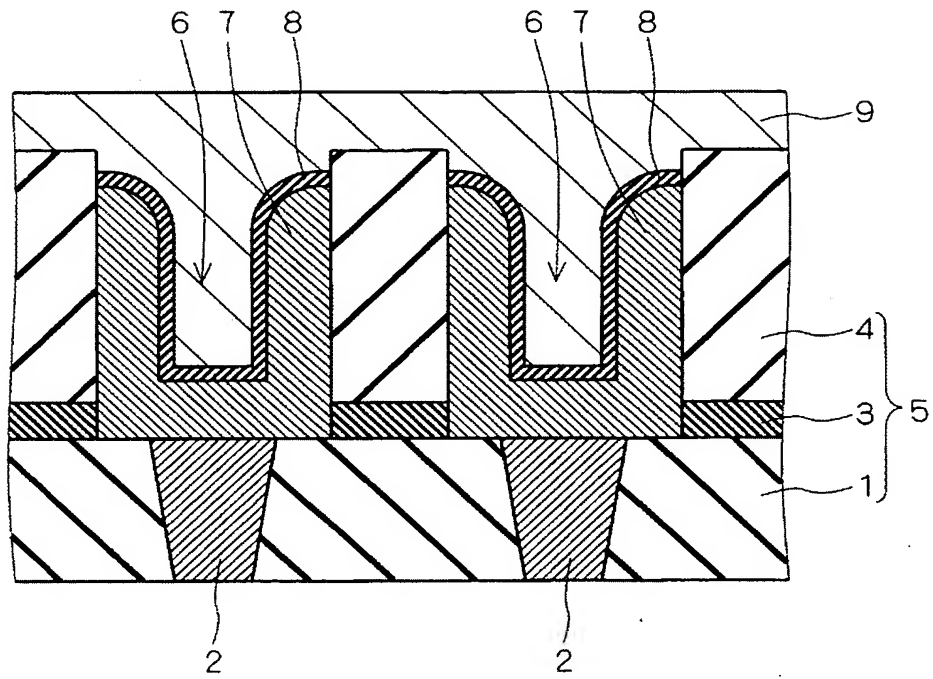
【図 7】



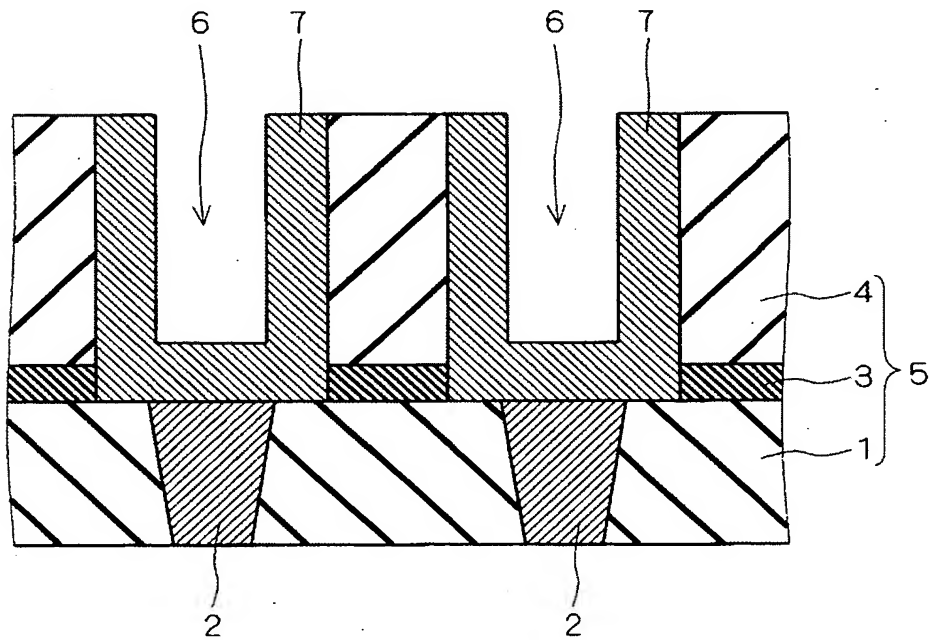
【図 8】



【図 9】

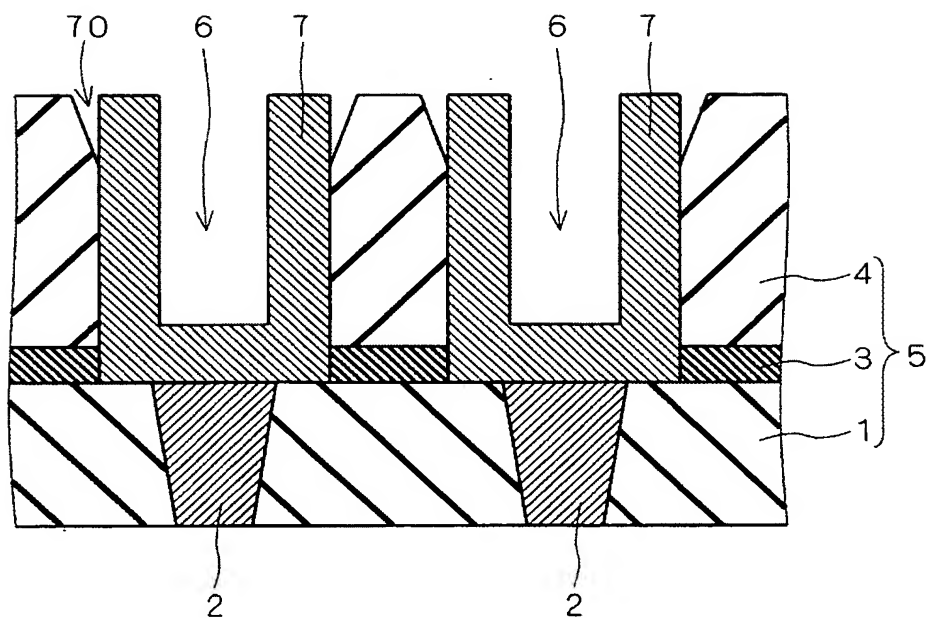


【図 10】

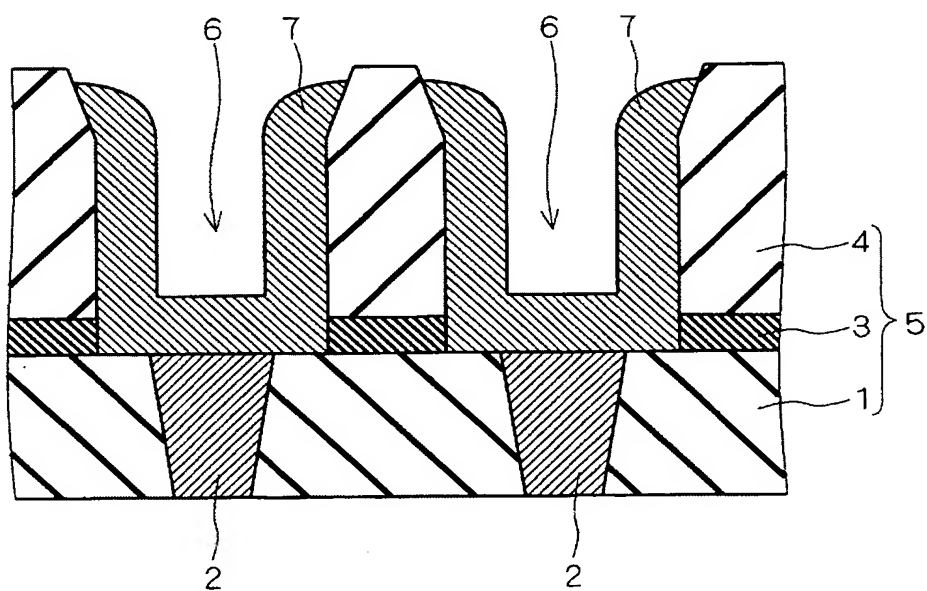




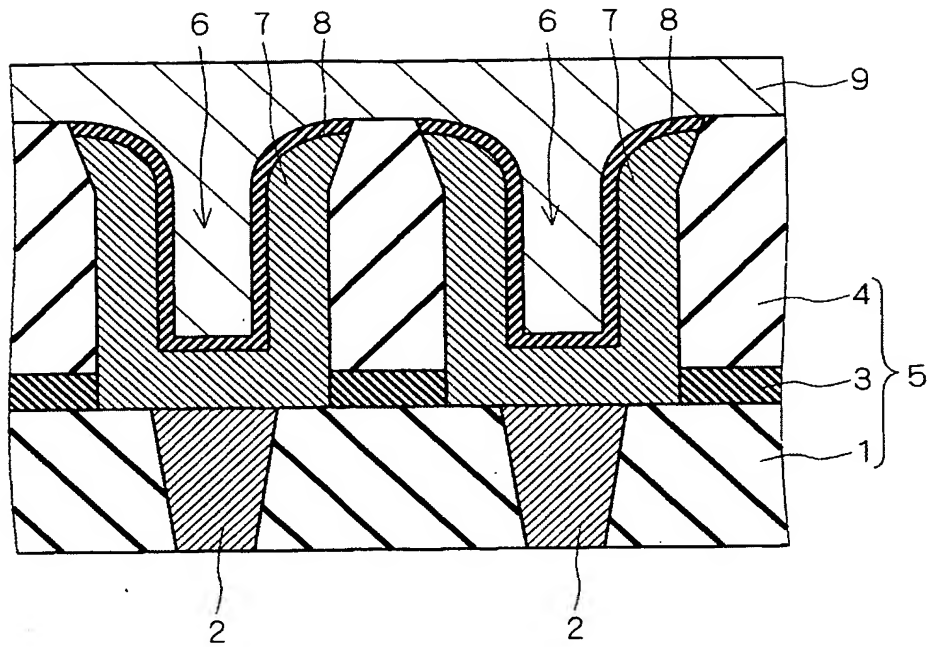
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 キャパシタのリーク電流を低減することが可能な技術を提供する。

【解決手段】 ルテニウムから成る蓄積電極 7 に対して、その上方から、過ヨウ素酸または硝酸セリウムアンモニウム液を用いてウェットエッチングを実行する。このようなエッチング液を用いることによって、ルテニウムだけではなく、蓄積電極 7 の表面上に形成されている酸化膜をもエッチングすることができるため、蓄積電極 7 の表面の全面がエッチングされる。この結果、蓄積電極 7 の上端面に形成されていた針状突起が除去されて、蓄積電極 7 の上端部が丸くなる。従って、蓄積電極 7 上に形成される、DRAM キャパシタの誘電体膜の膜厚を均一にし易くなり、キャパシタのリーク電流の低減が可能となる。

【選択図】 図 5

特願 2 0 0 3 - 1 9 3 4 6 4

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ